

## PATENT ABSTRACTS OF JAPAN

1

(11)Publication number : 11-053345

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

G06F 17/16

G06F 12/06

(21)Application number : 09-212379

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.08.1997

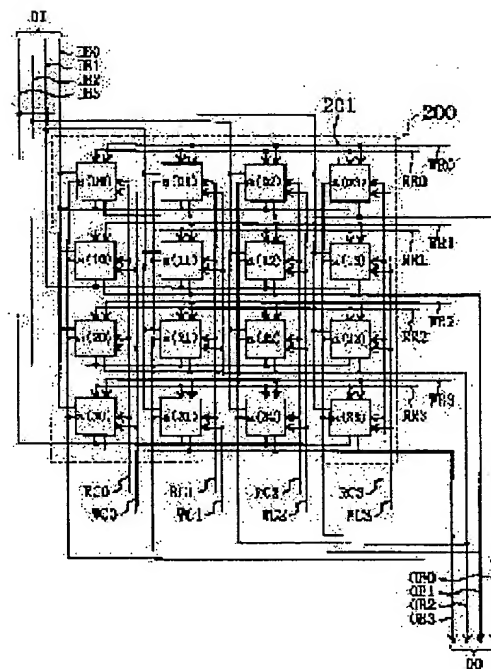
(72)Inventor : MINO YOSHITERU  
KADOTA HIROSHI  
OKAMOTO OSAMU

## (54) DATA PROCESSOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the throughput of a data processor for successively obtaining plural transposed matrixes.

**SOLUTION:** This processor is provided with a memory cell array 200 which arranged in a  $4 \times 4$  lattice form memory cells 201 each of which consists of two data input ports and two data output ports in order to obtain each transposed matrix from plural  $4 \times 4$  input matrixes successively given. For certain five cycles, a column of the memory cell array 200 is read and in one cycle in the next cycle writing a column or row vector of an input matrix is written in the same column which was read, of the memory cell array 200 and this operation is repeated. For the next five cycles, a row of the memory cell array 200 is read and in one cycle reads in the next cycle writing a column or a row of the next input matrix is written in the same row which was read of the memory cell array 200 and this operation is repeated. Thus, a transposed matrix is obtained with a rate of one per five cycles.



## LEGAL STATUS

[Date of request for examination] 23.10.2000

[Date of sending the examiner's decision of rejection] 05.01.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## [Claim(s)]

[Claim 1] It is a data processor for [ which asks for each transposed matrix respectively from two or more input matrices of a  $n$  line  $n$  train ( $n$  is two or more integers) ] having been given one by one. The memory cell array which comes to arrange the memory cell of the  $n \times n$  individual which has the 1st and 2nd data input/output port respectively in the shape of a grid,  $n$  line buses by which common connection was made in each 1st data input/output port of  $n$  memory cells which constitute one line to which it corresponds of said memory cell arrays respectively, Each 2nd data input/output port of  $n$  memory cells which constitute one train to which it corresponds of said memory cell arrays respectively is equipped with  $n$  train buses by which common connection was made. Each train of said memory cell array is read between a certain  $n$  cycles in the first half of each cycle using said  $n$  line buses. And each line or column vector of an input matrix which it is in the second half of each cycle is written in the same train as read-out of said memory cell array. Each line of said memory cell array is read between the following  $n$  cycles in the first half of each cycle using said  $n$  train buses. And the data processor characterized by writing each following line or following column vector of an input matrix in the same line as read-out of said memory cell array in the second half of each cycle.

[Claim 2] It is a data processor for [ which asks for each transposed matrix respectively from two or more input matrices of a  $n$  line  $n$  train ( $n$  is two or more integers) ] having been given one by one. The memory cell array which comes to arrange the memory cell of the  $n \times n$  individual which has the 1st, 2nd data input port and the 1st, and 2nd data output ports respectively in the shape of a grid, Each 1st data input port of  $n$  memory cells which constitute one line to which it corresponds of said memory cell arrays respectively,  $n$  input buses by which common connection was made in each 2nd data input port of  $n$  memory cells which constitute one train to which it corresponds of said memory cell arrays, Each 1st data output port of  $n$  memory cells which constitute one line to which it corresponds of said memory cell arrays respectively, Each 2nd data output port of  $n$  memory cells which constitute one train to which it corresponds of said memory cell arrays is equipped with  $n$  output buses by which common connection was made. In a certain cycle, one train of said memory cell array is read between a certain  $n+1$  cycles using said  $n$  output buses. It repeats writing the line or column vector of an input matrix which has used said  $n$  input buses in the following cycle in the same train as read-out of said memory cell array. In a certain cycle, one line of said memory cell array is read between the  $n+1$  following cycles using said  $n$  output buses. The data processor characterized by making it repeat writing the following line or following column vector of an input matrix in the same line as read-out of said memory cell array using said  $n$  input buses in the following cycle.

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the data processor for asking for each transposed matrix from two or more input matrices which are used in various fields, such as scientific calculation and an image processing, and which were given one by one.

[0002]

[Description of the Prior Art] The thing equipped with the memory cell array which comes to arrange the memory cell of the  $n \times n$  individual which has a data input port and a data output port respectively in the shape of a grid as a data processor for asking for a transposed matrix from the input matrix of a  $n$  line  $n$  train ( $n$  is two or more integers) is known. According to this data processor, in each cycle, each column vector of an input matrix is written in for every train of a memory cell array between the first  $n$  cycles. And

in each cycle, reading appearance of each row vector of an output matrix is carried out for every line of a memory cell array between the following  $n$  cycles. An output matrix becomes what transposed the input matrix here. In order to ask for the transposed matrix of the following input matrix, 2 more cycle is required.

[0003]

[Problem(s) to be Solved by the Invention] According to the above-mentioned conventional data processor,  $2n$  cycle was taken to ask for each transposed matrix from two or more input matrices given one by one, respectively, and there was a problem that processing speed was slow.

[0004] The object of this invention is to raise the throughput of the data processor for asking for two or more transposed matrices one by one.

[0005]

[Means for Solving the Problem] In order to attain the above-mentioned object, in this invention, the data bus configuration and its address-generation sequence of a memory cell array were devised.

[0006] The 1st data processor concerning this invention specifically It is a data processor for [ which asks for each transposed matrix respectively from two or more input matrices of a  $n$  line  $n$  train ( $n$  is two or more integers) ] having been given one by one. The memory cell array which comes to arrange the memory cell of the  $n \times n$  individual which has the 1st and 2nd data input/output port respectively in the shape of a grid,  $n$  line buses by which common connection was made in each 1st data input/output port of  $n$  memory cells which constitute one line to which it corresponds of these memory cell arrays respectively, The configuration which equipped each 2nd data input/output port of  $n$  memory cells which constitute one train to which it corresponds of said memory cell arrays respectively with  $n$  train buses by which common connection was made is adopted. And between a certain  $n$  cycles, using  $n$  line buses, each train of a memory cell array is read, and each line or column vector of an input matrix which it is in the second half of each cycle was written in the same train as read-out of said memory cell array in the first half of each cycle. Moreover, between the following  $n$  cycles, using  $n$  train buses, each line of a memory cell array is read, and each following line or following column vector of an input matrix was written in the same line as read-out of said memory cell array in the second half of each cycle in the first half of each cycle. According to this configuration, a transposed matrix can be obtained at a rate of one piece in  $n$  cycle.

[0007] Moreover, the 2nd data processor concerning this invention It is a data processor for [ which asks for each transposed matrix respectively from two or more input matrices of a  $n$  line  $n$  train ( $n$  is two or more integers) ] having been given one by one. The memory cell array which comes to arrange the memory cell of the  $n \times n$  individual which has the 1st, 2nd data input port and the 1st, and 2nd data output ports respectively in the shape of a grid,  $n$  input buses by which common connection was made in each 2nd data input port of  $n$  memory cells which constitute one train to which it corresponds of each 1st data input port of  $n$  memory cells which constitute one line to which it corresponds of these memory cell arrays respectively, and these memory cell arrays, One line to which it corresponds of said memory cell arrays respectively The configuration which equipped each 2nd data output port of  $n$  memory cells which constitute one train to which it corresponds of each 1st data output port of  $n$  memory cells to constitute and these memory cell arrays with  $n$  output buses by which common connection was made is adopted. And one train of a memory cell array is read using  $n$  output buses, and it was made to repeat writing the line or column vector of an input matrix which has used  $n$  input buses in the same train as

read-out of said memory cell array by the following cycle in a certain cycle between a certain  $n+1$  cycles. Moreover, one line of a memory cell array is read using  $n$  output buses, and it was made to repeat writing the following line or following column vector of an input matrix in the same line as read-out of said memory cell array using  $n$  input buses in the following cycle by a certain cycle between the  $n+1$  following cycles. According to this configuration, a transposed matrix can be obtained at a rate of one piece in  $n+1$  cycle.

[0008]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to a drawing.

[0009] Drawing 1 shows the input matrix (4x4 matrices) of the four-line four trains which are the examples of a processing object of transposition. Matrix  $D(k)$  is the  $k$ -th input matrix ( $k$  is an integer). When you set a line number to  $i$  ( $i=0, 1, 2, 3$ ) and you set a row number to  $j$  ( $j=0, 1, 2, 3$ ), suppose that the element of Matrix  $D(k)$  is expressed with  $d(k)$  and  $(ij)$ .

[0010] Drawing 2 shows the example of a configuration of the data processor concerning this invention for asking for the transposed matrix from the 4x4 matrix  $D$  of drawing 1 ( $k$ ). The column vector of Matrix  $D(k)$  shall be given to the data processor of drawing 2 as an input vector one by one. Namely, the 1st column vector which consists of four element  $d(k)$ ,  $(00)$ ,  $d(k)$  and  $(10)$ ,  $d(k)$  and  $(20)$ , and  $d(k)$  and  $(30)$  is given first. The 2nd column vector which consists of four element  $d(k)$ ,  $(01)$ ,  $d(k)$  and  $(11)$ ,  $d(k)$  and  $(21)$ , and  $d(k)$  and  $(31)$  is given to a degree. The 3rd column vector which consists of four element  $d(k)$ ,  $(02)$ ,  $d(k)$  and  $(12)$ ,  $d(k)$  and  $(22)$ , and  $d(k)$  and  $(32)$  is given to a degree. The 4th column vector which consists of four element  $d(k)$ ,  $(03)$ ,  $d(k)$  and  $(13)$ ,  $d(k)$  and  $(23)$ , and  $d(k)$  and  $(33)$  shall be given to a degree.

[0011] The data processor of drawing 2 is equipped with the memory cell array 100 which comes to arrange 4x4 memory cells 101 which have the 1st and 2nd data input/output port respectively in the shape of a grid. When you set a line number to  $p$  ( $p=0, 1, 2, 3$ ) and you set a row number to  $q$  ( $q=0, 1, 2, 3$ ), suppose that each memory cell 101 is expressed with  $a(pq)$ .

[0012] In drawing 2,  $RB0$ ,  $RB1$ ,  $RB2$ , and  $RB3$  carry out four line buses, and  $CB0$ ,  $CB1$ ,  $CB2$ , and  $CB3$  are carrying out the table of the four train buses, respectively. Common connection of the line bus  $RB0$  is made in the 1st data input/output port of four memory cell  $a(00)$  which constitutes the 1st line of the memory cell array 100,  $a(01)$ ,  $a(02)$ , and  $a(03)$ . Common connection of the line bus  $RB1$  is made in the 1st data input/output port of four memory cell  $a(10)$  which constitutes the 2nd line of the memory cell array 100,  $a(11)$ ,  $a(12)$ , and  $a(13)$ . Common connection of the line bus  $RB2$  is made in the 1st data input/output port of four memory cell  $a(20)$  which constitutes the 3rd line of the memory cell array 100,  $a(21)$ ,  $a(22)$ , and  $a(23)$ . Common connection of the line bus  $RB3$  is made in the 1st data input/output port of four memory cell  $a(30)$  which constitutes the 4th line of the memory cell array 100,  $a(31)$ ,  $a(32)$ , and  $a(33)$ . Common connection of the train bus  $CB0$  is made in the 2nd data input/output port of four memory cell  $a(00)$  which constitutes the 1st train of the memory cell array 100,  $a(10)$ ,  $a(20)$ , and  $a(30)$ . Common connection of the train bus  $CB1$  is made in the 2nd data input/output port of four memory cell  $a(01)$  which constitutes the 2nd train of the memory cell array 100,  $a(11)$ ,  $a(21)$ , and  $a(31)$ . Common connection of the train bus  $CB2$  is made in the 2nd data input/output port of four memory cell  $a(02)$  which constitutes the 3rd train of the memory cell array 100,  $a(12)$ ,  $a(22)$ , and  $a(32)$ . Common connection of the train bus  $CB3$  is made in the 2nd data input/output port of four memory cell  $a(03)$  which constitutes the 4th train of the memory

cell array 100, a (13), a (23), and a (33).

[0013] In drawing 2, SC0, SC1, SC2, and SC3 are carrying out the table of the train selection signal for choosing one train to which a line selection signal for SR0, SR1, SR2, and SR3 to choose one line to which it corresponds of the memory cell arrays 100 respectively is respectively corresponded of the memory cell arrays 100, respectively. CLK is a clock signal and XCLK is a reversal clock signal.

[0014] The data processor of drawing 2 is further equipped with the input selector 110 and the output selector 111. The input selector 110 supplies given input-vector DI to either the line buses RB0-RB3 or the train buses CB0-CB3. An output selector 111 supplies either of the vectors by which reading appearance was carried out as an output vector DO on the train buses CB [ CB0-] 3 from the vector by which reading appearance was carried out on the line buses RB [ RB0-] 3 from the memory cell array 100, or this memory cell array 100. It is specified by change signal R/C any of the line buses RB0-RB3 and the train buses CB0-CB3 the input selector 110 and an output selector 111 should choose.

[0015] Drawing 3 shows the detail of one memory cell 101 in drawing 2. The memory cell 101 of drawing 3 has 1st data input/output port IO1, the 1st selection input terminal SEL1, 2nd data input/output port IO2, and the 2nd selection input terminal SEL2. When a high-level signal is supplied to the 1st selection input terminal SEL1, 1st data input/output port IO1 is chosen. And reading appearance of the data is carried out to the high-level period of a clock signal (lead signal) CLK from 1st data input/output port IO1, and data are written in 1st data input/output port IO1 at the high-level period of reversal clock signal (light signal) XCLK. When a high-level signal is supplied to the 2nd selection input terminal SEL2, 2nd data input/output port IO2 is chosen. And reading appearance of the data is carried out to the high-level period of a clock signal (lead signal) CLK from 2nd data input/output port IO2, and data are written in 2nd data input/output port IO2 at the high-level period of reversal clock signal (light signal) XCLK. In memory cell [ of drawing 3 ] a (03), 1st data input/output port IO1 is connected to the line bus RB0, 2nd data input/output port IO2 is connected to the train bus CB3, respectively, the train selection signal SC 3 is supplied to the 1st selection input terminal SEL1, and the line selection signal SR 0 is supplied to the 2nd selection input terminal SEL2, respectively.

[0016] Drawing 4 shows the example of a configuration of the control circuit for controlling actuation of the data processor of drawing 2. For 120, as for 1/4 counting-down circuit and 122, in drawing 4, an inverter and 121 are [ 4 \*\* counter and 123 ] decoders. An inverter 120 generates reversal clock signal XCLK from a clock signal CLK. 1/4 counting-down circuit 121 generates change signal R/C which has the frequency of the quadrant of the frequency of a clock signal CLK. Generated change signal R/C is not only supplied to said input selector 110 and output selector 111, but is supplied to a decoder 123. 4 \*\* counter 122 carries out counting of the pulse of a clock signal CLK, and supplies 4 \*\* counted value CT, 0, 1, and 2,4 or 3 to a decoder 123. [ i.e., ] When change signal R/C is high-level, a decoder 123 will supply the high-level train selection signal SC 3, respectively, if 4 \*\* counted value CT4 becomes zero, 4 \*\* counted value CT4 will become one about the high-level train selection signal SC 0, 4 \*\* counted value CT4 will become two about the high-level train selection signal SC 1 and 4 \*\* counted value CT4 will become three about the high-level train selection signal SC 2. Moreover, when change signal R/C is a low level, a decoder 123 will supply the high-level line selection signal SR 3, respectively, if 4 \*\* counted value CT4 becomes zero, 4 \*\* counted value CT4 will become one about the high-level line selection signal SR 0, 4 \*\* counted value CT4 will become two about the high-level line selection signal SR 1 and 4 \*\* counted value CT4

will become three about the high-level line selection signal SR 2.

[0017] Drawing 5 and drawing 6 show actuation of the data processor of drawing 2. Each column vector of an input matrix  $D(k)$  is written in for every train of the memory cell array 100 in the second half of each cycle using four line buses RB0-RB3 between the four cycles from the cycle T1 shown in drawing 5 to cycle T four. That is, the memory cell array 100 is filled with all the elements of an input matrix  $D(k)$  at cycle T four. And between the four cycles from the cycle T5 shown in drawing 6 to a cycle T8, using four train buses CB0-CB3, reading appearance of each line of the memory cell array 100 is carried out, and it is written in the line as read-out with each column vector of the following input matrix  $D(k+1)$  same in the second half which is each cycle in the first half of each cycle. It is a row vector of an input matrix  $D(k)$  respectively, Vector DO, i.e., the output vector, by which reading appearance was carried out in each cycle from a cycle T5 to a cycle T8. Therefore, it means that the transposed matrix of an input matrix  $D(k)$  was obtained here. In addition, between the four cycles from a cycle T1 to cycle T four, using four line buses RB0-RB3, reading appearance of each train of the memory cell array 100 is carried out, and, according to drawing 5, it is written in the train as read-out with each column vector of an input matrix  $D(k)$  same in the second half which is each cycle in the first half of each cycle. Four vectors on which the four cycle from a cycle T1 to cycle T four was bet and by which reading appearance was carried out constitute the transposed matrix of the input matrix  $D(k-1)$  in front of an input matrix  $D(k)$ .

[0018] In order to ask for each transposed matrix from two or more 4x4 input matrices given one by one according to the data processor of drawing 2 the above passage The actuation which writes one column vector of an input matrix in the same line or same train as the line or train which carried out reading appearance among the memory cell arrays 100 in the first half of a certain cycle in the second half of this cycle is repeated. And since the line buses RB0-RB3 and the train buses CB0-CB3 are properly used for every four cycle, a transposed matrix can be obtained at a rate of one piece to a four cycle.

[0019] Drawing 7 shows other examples of a configuration of the data processor concerning this invention for asking for the transposed matrix from the 4x4 matrix  $D$  of drawing 1 (k). The column vector of Matrix  $D(k)$  shall also be given to the data processor of drawing 7 as an input vector one by one.

[0020] The data processor of drawing 7 is equipped with the memory cell array 200 which comes to arrange 4x4 memory cells 201 which have the 1st, 2nd data input port and the 1st, and 2nd data output ports respectively in the shape of a grid. When you set a line number to  $p$  ( $p = 0, 1, 2, 3$ ) and you set a row number to  $q$  ( $q = 0, 1, 2, 3$ ), suppose that each memory cell 201 is expressed with a (pq).

[0021] In drawing 7, IB0, IB1, IB2, and IB3 carry out four input buses, and alumnus0, alumnus1, alumnus2, and alumnus3 are carrying out the table of the four output buses, respectively. Input-vector DI is given to the input buses IB0-IB3, and the output vector DO is acquired from the output buses alumnus0-alumnus3. The 1st four data input port from which the input bus IB0 constitutes the 1st line of the memory cell array 200, memory cell a (00), a (01), a (02), and a (03), Common connection is made in the 2nd data input port of four memory cell a (00) which constitutes the 1st train of the memory cell array 200, a (10), a (20), and a (30). The 1st four data input port from which the input bus IB1 constitutes the 2nd line of the memory cell array 200, memory cell a (10), a (11), a (12), and a (13), Common connection is made in the 2nd data input port of four memory cell a (01) which constitutes the 2nd train of the memory cell array 200, a (11), a (21), and a (31). The 1st four data input port from which the input bus IB2 constitutes the 3rd line of

the memory cell array 200, memory cell a (20), a (21), a (22), and a (23), Common connection is made in the 2nd data input port of four memory cell a (02) which constitutes the 3rd train of the memory cell array 200, a (12), a (22), and a (32). The 1st four data input port from which the input bus IB3 constitutes the 4th line of the memory cell array 200, memory cell a (30), a (31), a (32), and a (33), Common connection is made in the 2nd data input port of four memory cell a (03) which constitutes the 4th train of the memory cell array 200, a (13), a (23), and a (33). The 1st four data output port from which the output bus alumnus 0 constitutes the 1st line of the memory cell array 200, memory cell a (00), a (01), a (02), and a (03), Common connection is made in the 2nd data output port of four memory cell a (00) which constitutes the 1st train of the memory cell array 200, a (10), a (20), and a (30). The 1st four data output port from which the output bus alumnus 1 constitutes the 2nd line of the memory cell array 200, memory cell a (10), a (11), a (12), and a (13), Common connection is made in the 2nd data output port of four memory cell a (01) which constitutes the 2nd train of the memory cell array 200, a (11), a (21), and a (31). The 1st four data output port from which the output bus alumnus 2 constitutes the 3rd line of the memory cell array 200, memory cell a (20), a (21), a (22), and a (23), Common connection is made in the 2nd data output port of four memory cell a (02) which constitutes the 3rd train of the memory cell array 200, a (12), a (22), and a (32). The 1st four data output port from which the output bus alumnus 3 constitutes the 4th line of the memory cell array 200, memory cell a (30), a (31), a (32), and a (33), Common connection is made in the 2nd data output port of four memory cell a (03) which constitutes the 4th train of the memory cell array 200, a (13), a (23), and a (33).

[0022] In drawing 7, line reading appearance of RR0, RR1, RR2, and RR3 is carried out for controlling read-out of one line to which it corresponds of the each memory cell arrays 200. a control signal WR0, WR1, WR2, and WR3 the line write-in control signal for controlling the writing of one line to which it corresponds of the memory cell arrays 200 respectively Train reading appearance of RC0, RC1, RC2, and RC3 is carried out for controlling read-out of one train to which it corresponds of the each memory cell arrays 200. a control signal WC0, WC1, WC2, and WC3 are carrying out the table of the train write-in control signal for controlling the writing of one train to which it corresponds of the memory cell arrays 200 respectively, respectively.

[0023] Drawing 8 shows the detail of one memory cell 201 in drawing 7. The 1st write-in control terminal WT 1 for the memory cell 201 of drawing 8 to control the writing of the data to the 1st data input port IN1 and this port IN1 The 1st read-out control terminal RD 1 for controlling read-out of the data from the 1st data output port OUT1 and this port OUT1 The 2nd write-in control terminal WT 2 for controlling the writing of the data to the 2nd data input port IN2 and this port IN2 It has the 2nd read-out control terminal RD 2 for controlling read-out of the data from the 2nd data output port OUT2 and this port OUT2. In memory cell [ of drawing 8 ] a (03), the 1st data input port IN1 into the input bus IB0 The 2nd data input port IN2 into the output bus alumnus 0 into the input bus IB3 [ the 1st data output port OUT1 ] The 2nd data output port OUT2 is connected to the output bus alumnus 3, respectively. The train read-out control signal RC 3 for the 1st read-out control terminal RD 1 at the 1st write-in control terminal WT 1 the train write-in control signal WC3 The line read-out control signal RR0 is supplied to the 2nd read-out control terminal RD 2, and the line write-in control signal WR0 is supplied to the 2nd write-in control terminal WT 2, respectively.

[0024] Drawing 9 shows the example of a configuration of the control circuit for controlling actuation of the data processor of drawing 7. For 221, as for a quinary counter



and 223, in drawing 9 , 1/5 counting-down circuit and 222 are [ the decoder for writing and 224 ] the decoders for read-out. 1/5 counting-down circuit 221 generates change signal R/C which has 1/5 of the frequencies of the frequency of a clock signal CLK. Generated change signal R/C is supplied to both the decoders 223,224. The quinary counter 222 carries out counting of the pulse of a clock signal CLK, and supplies quinary counted value CT, 0, 1, 2, and 3,5 or 4 to both the decoders 223,224. [ i.e., ] When change signal R/C is high-level, the decoder 223 for writing If a signal will not be supplied if quinary counted value CT5 becomes zero, but quinary counted value CT5 becomes one, the high-level train write-in control signal WC0 If quinary counted value CT5 becomes two, quinary counted value CT5 will become three about the high-level train write-in control signal WC1 and quinary counted value CT5 will become four about the high-level train write-in control signal WC2, the high-level train write-in control signal WC3 will be supplied, respectively. moreover, when change signal R/C is a low level, the decoder 223 for writing If a signal will not be supplied if quinary counted value CT5 becomes zero, but quinary counted value CT5 becomes one, the high-level line write-in control signal WR0 If quinary counted value CT5 becomes two, the high-level line write-in control signal WR1 If quinary counted value CT5 becomes three and quinary counted value CT5 will become four about the high-level line write-in control signal WR2, the high-level line write-in control signal WR3 will be supplied, respectively. When change signal R/C is high-level, the decoder 224 for read-out If quinary counted value CT5 becomes zero, the high-level train read-out control signal RC 0 If quinary counted value CT5 becomes one, the high-level train read-out control signal RC 1 If quinary counted value CT5 becomes two and quinary counted value CT5 will become three about the high-level train read-out control signal RC 2, the high-level train read-out control signal RC 3 will be supplied, respectively, and a signal will not be supplied if quinary counted value CT5 becomes four. moreover, when change signal R/C is a low level, the decoder 224 for read-out If quinary counted value CT5 becomes zero, the high-level line read-out control signal RR0 If quinary counted value CT5 becomes one, the high-level line read-out control signal RR1 If quinary counted value CT5 becomes two and quinary counted value CT5 will become three about the high-level line read-out control signal RR2, the high-level line read-out control signal RR3 will be supplied, respectively, and a signal will be supplied if quinary counted value CT5 becomes four.

[0025] Drawing 10 and drawing 11 show actuation of the data processor of drawing 7 . In each cycle from the cycle t2 shown in drawing 10 to a cycle t5, each column vector of an input matrix D (k) is written in for every train of the memory cell array 200 using four input buses IB0-IB3. That is, the memory cell array 200 is filled with all the elements of an input matrix D (k) in a cycle t5. And between 5 cycles from the cycle t6 shown in drawing 1111 to a cycle t10, by a certain cycle, one line of the memory cell array 200 is read using four output buses alumnus0-alumnus3, and actuation of writing one column vector of the following input matrix D (k+1) in the same line as read-out using four input buses IB0-IB3 is repeated in the following cycle. It is a row vector of an input matrix D (k) respectively, Vector DO, i.e., the output vector, by which reading appearance was carried out in each cycle from a cycle t6 to a cycle t9. Therefore, it means that the transposed matrix of an input matrix D (k) was obtained here. In addition, according to drawing 10 , between 5 cycles from a cycle t1 to a cycle t5, one train of the memory cell array 200 is read using four output buses alumnus0-alumnus3, and actuation of writing one column vector of an input matrix D (k) in the same train as read-out using four input buses IB0-IB3 is repeated in the following cycle by a certain cycle. Four vectors on which



the four cycle from a cycle  $t_1$  to a cycle  $t_4$  was bet and by which reading appearance was carried out constitute the transposed matrix of the input matrix  $D(k-1)$  in front of an input matrix  $D(k)$ .

[0026] In order to ask for each transposed matrix from two or more  $4 \times 4$  input matrices given one by one according to the data processor of drawing 7 the above passage writing one column vector of an input matrix in the same line or same train as the line or train which carried out reading appearance in a certain cycle among the memory cell arrays 200 in the following cycle Since the actuation which reads the next line or next train of this memory cell array 200 in the latter cycle is repeated and the handling of the row and column of the memory cell array 200 is changed every 5 cycles, a transposed matrix can be obtained at a rate of one piece in 5 cycle.

[0027] In addition, even when the row vector of Matrix  $D(k)$  is given one by one as an input vector, it can ask for a transposed matrix with the data processor which has the configuration of drawing 2 or drawing 7. Probably, it will be easy for this contractor to transform each above-mentioned example into the data processor for asking for the transposed matrix of a  $n \times n$  matrix, when making  $n$  into two or more integers.

[0028]

[Effect of the Invention] In order to ask for each transposed matrix from two or more  $n \times n$  input matrices given one by one according to the 1st data processor concerning this invention as explained above The actuation which writes one vector of an input matrix in the same line or same train as the line or train which carried out reading appearance among memory cell arrays in the first half of a certain cycle in the second half of this cycle is repeated. And since a line bus and a train bus are properly used for every  $n$  cycle, a transposed matrix can be obtained at a rate of one piece in  $n$  cycle, and the throughput of data processing improves compared with the former.

[0029] Moreover, in order to ask for each transposed matrix from two or more  $n \times n$  input matrices given one by one according to the 2nd data processor concerning this invention writing one vector of an input matrix in the same line or same train as the line or train which carried out reading appearance in a certain cycle among memory cell arrays in the following cycle Since the actuation which reads the next line or next train of this memory cell array in the latter cycle is repeated and the handling of the row and column of a memory cell array is changed for  $n+1$  every cycle A transposed matrix can be obtained at a rate of one piece in  $n+1$  cycle, and the throughput of data processing improves.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-53345

(43)公開日 平成11年(1999) 2月26日

(51)Int.Cl.<sup>8</sup>

G 0 6 F 17/16  
12/06

識別記号

5 2 1

F I

G 0 6 F 15/347  
12/06

K

5 2 1 D

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21)出願番号 特願平9-212379

(22)出願日 平成9年(1997) 8月7日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 三野 吉輝

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 廉田 浩

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 岡本 理

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

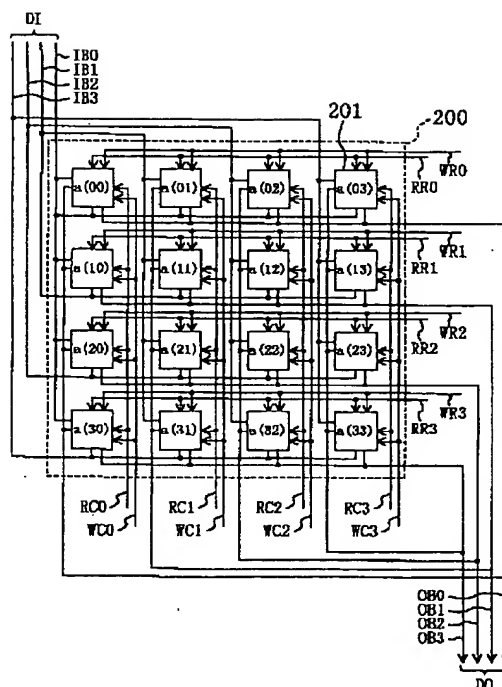
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 データ処理装置

(57)【要約】

【課題】 複数の転置行列を順次求めるためのデータ処理装置のスループットを向上させる。

【解決手段】 順次与えられた複数の $4 \times 4$ 入力行列から各々の転置行列を求めるために、各々2個のデータ入力ポートと2個のデータ出力ポートとを有する $4 \times 4$ 個のメモリセル201を格子状に配置してなるメモリセルアレイ200を設ける。ある5サイクルの間、あるサイクルではメモリセルアレイ200の1列を読み出し、次のサイクルではある入力行列の行又は列ベクトルをメモリセルアレイ200の読み出しと同じ列に書き込むことを繰り返す。次の5サイクルの間、あるサイクルではメモリセルアレイ200の1行を読み出し、次のサイクルでは次の入力行列の行又は列ベクトルをメモリセルアレイ200の読み出しと同じ行に書き込むことを繰り返す。これにより、5サイクルに1個の割合で転置行列を得る。



## 【特許請求の範囲】

【請求項 1】 順次与えられた各々  $n$  行  $n$  列 ( $n$  は 2 以上の整数) の複数の入力行列から各々の転置行列を求めるためのデータ処理装置であって、

各々第 1 及び第 2 のデータ入出力ポートを有する  $n \times n$  個のメモリセルを格子状に配置してなるメモリセルアレイと、

各々前記メモリセルアレイのうちの対応する 1 行を構成する  $n$  個のメモリセルの各々の第 1 のデータ入出力ポートに共通接続された  $n$  本の行バスと、

各々前記メモリセルアレイのうちの対応する 1 列を構成する  $n$  個のメモリセルの各々の第 2 のデータ入出力ポートに共通接続された  $n$  本の列バスとを備え、

ある  $n$  サイクルの間、前記  $n$  本の行バスを使って、各サイクルの前半では前記メモリセルアレイの各列を読み出し、かつ各サイクルの後半ではある入力行列の各行又は列ベクトルを前記メモリセルアレイの読み出しと同じ列に書き込み、

次の  $n$  サイクルの間、前記  $n$  本の列バスを使って、各サイクルの前半では前記メモリセルアレイの各行を読み出し、かつ各サイクルの後半では次の入力行列の各行又は列ベクトルを前記メモリセルアレイの読み出しと同じ行に書き込むようにしたことを特徴とするデータ処理装置。

【請求項 2】 順次与えられた各々  $n$  行  $n$  列 ( $n$  は 2 以上の整数) の複数の入力行列から各々の転置行列を求めるためのデータ処理装置であって、

各々第 1 及び第 2 のデータ入力ポートと第 1 及び第 2 のデータ出力ポートとを有する  $n \times n$  個のメモリセルを格子状に配置してなるメモリセルアレイと、

各々前記メモリセルアレイのうちの対応する 1 行を構成する  $n$  個のメモリセルの各々の第 1 のデータ入力ポートと、前記メモリセルアレイのうちの対応する 1 列を構成する  $n$  個のメモリセルの各々の第 2 のデータ入力ポートとに共通接続された  $n$  本の入力バスと、

各々前記メモリセルアレイのうちの対応する 1 行を構成する  $n$  個のメモリセルの各々の第 1 のデータ出力ポートと、前記メモリセルアレイのうちの対応する 1 列を構成する  $n$  個のメモリセルの各々の第 2 のデータ出力ポートとに共通接続された  $n$  本の出力バスとを備え、

ある  $n+1$  サイクルの間、あるサイクルでは前記  $n$  本の出力バスを使って前記メモリセルアレイの 1 列を読み出し、次のサイクルでは前記  $n$  本の入力バスを使ってある入力行列の行又は列ベクトルを前記メモリセルアレイの読み出しと同じ列に書き込むことを繰り返す、

次の  $n+1$  サイクルの間、あるサイクルでは前記  $n$  本の出力バスを使って前記メモリセルアレイの 1 行を読み出し、次のサイクルでは前記  $n$  本の入力バスを使って次の入力行列の行又は列ベクトルを前記メモリセルアレイの読み出しと同じ行に書き込むことを繰り返すようにした

ことを特徴とするデータ処理装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、科学技術計算、画像処理等の様々な分野において利用される、順次与えられた複数の入力行列から各々の転置行列を求めるためのデータ処理装置に関するものである。

【0002】

【従来の技術】 $n$  行  $n$  列 ( $n$  は 2 以上の整数) の入力行列から転置行列を求めるためのデータ処理装置として、各々データ入力ポートとデータ出力ポートとを有する  $n \times n$  個のメモリセルを格子状に配置してなるメモリセルアレイを備えたものが知られている。このデータ処理装置によれば、はじめの  $n$  サイクルの間、各サイクルにおいて入力行列の各列ベクトルがメモリセルアレイの 1 列毎に書き込まれる。そして、次の  $n$  サイクルの間、各サイクルにおいてメモリセルアレイの 1 行毎に出力行列の各行ベクトルが読み出される。ここに、出力行列は入力行列を転置したものになる。次の入力行列の転置行列を求めるには、更に  $2n$  サイクルを要する。

【0003】

【発明が解決しようとする課題】上記従来のデータ処理装置によれば、順次与えられた複数の入力行列から各々の転置行列を求めるのにそれぞれ  $2n$  サイクルを要し、処理速度が遅いという問題があった。

【0004】本発明の目的は、複数の転置行列を順次求めるためのデータ処理装置のスループットを向上させることにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明では、メモリセルアレイのデータバス構成と、そのアドレス生成シーケンスとを工夫した。

【0006】具体的には、本発明に係る第 1 のデータ処理装置は、順次与えられた各々  $n$  行  $n$  列 ( $n$  は 2 以上の整数) の複数の入力行列から各々の転置行列を求めるためのデータ処理装置であって、各々第 1 及び第 2 のデータ入出力ポートを有する  $n \times n$  個のメモリセルを格子状に配置してなるメモリセルアレイと、各々該メモリセルアレイのうちの対応する 1 行を構成する  $n$  個のメモリセルの各々の第 1 のデータ入出力ポートに共通接続された  $n$  本の行バスと、各々前記メモリセルアレイのうちの対応する 1 列を構成する  $n$  個のメモリセルの各々の第 2 のデータ入出力ポートに共通接続された  $n$  本の列バスとを備えた構成を採用したものである。しかも、ある  $n$  サイクルの間、 $n$  本の行バスを使って、各サイクルの前半ではメモリセルアレイの各列を読み出し、かつ各サイクルの後半ではある入力行列の各行又は列ベクトルを前記メモリセルアレイの読み出しと同じ列に書き込むようにした。また、次の  $n$  サイクルの間、 $n$  本の列バスを使って、各サイクルの前半ではメモリセルアレイの各行を読

み出し、かつ各サイクルの後半では次の入力行列の各行又は列ベクトルを前記メモリセルアレイの読み出しと同じ行に書き込むようにした。この構成によれば、 $n$ サイクルに1個の割合で転置行列を得ることができる。

【0007】また、本発明に係る第2のデータ処理装置は、順次与えられた各々 $n$ 行 $n$ 列( $n$ は2以上の整数)の複数の入力行列から各々の転置行列を求めるためのデータ処理装置であって、各々第1及び第2のデータ入力ポートと第1及び第2のデータ出力ポートとを有する $n \times n$ 個のメモリセルを格子状に配置してなるメモリセルアレイと、各々該メモリセルアレイのうちの対応する1行を構成する $n$ 個のメモリセルの各々の第1のデータ入力ポートと該メモリセルアレイのうちの対応する1列を構成する $n$ 個のメモリセルの各々の第2のデータ入力ポートとに共通接続された $n$ 本の入力バスと、各々前記メモリセルアレイのうちの対応する1行を構成する $n$ 個のメモリセルの各々の第1のデータ出力ポートと該メモリセルアレイのうちの対応する1列を構成する $n$ 個のメモリセルの各々の第2のデータ出力ポートとに共通接続された $n$ 本の出力バスとを備えた構成を採用したものである。しかも、ある $n+1$ サイクルの間、あるサイクルでは $n$ 本の出力バスを使ってメモリセルアレイの1列を読み出し、次のサイクルでは $n$ 本の入力バスを使ってある入力行列の行又は列ベクトルを前記メモリセルアレイの読み出しと同じ列に書き込むことを繰り返すようにした。また、次の $n+1$ サイクルの間、あるサイクルでは $n$ 本の出力バスを使ってメモリセルアレイの1行を読み出し、次のサイクルでは $n$ 本の入力バスを使って次の入力行列の行又は列ベクトルを前記メモリセルアレイの読み出しと同じ行に書き込むことを繰り返すようにした。この構成によれば、 $n+1$ サイクルに1個の割合で転置行列を得ることができる。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0009】図1は、転置の処理対象例である4行4列の入力行列( $4 \times 4$ 行列)を示している。行列 $D(k)$ は、 $k$ 番目( $k$ は整数)の入力行列である。行番号を $i$ ( $i=0, 1, 2, 3$ )、列番号を $j$ ( $j=0, 1, 2, 3$ )とすると、行列 $D(k)$ の要素を $d(k)(ij)$ で表すこととする。

【0010】図2は、図1の $4 \times 4$ 行列 $D(k)$ からその転置行列を求めるための本発明に係るデータ処理装置の構成例を示している。図2のデータ処理装置に、行列 $D(k)$ の列ベクトルが順次入力ベクトルとして与えられるものとする。すなわち、4個の要素 $d(k)(00)$ 、 $d(k)(10)$ 、 $d(k)(20)$ 及び $d(k)(30)$ からなる第1の列ベクトルが最初に与えられ、4個の要素 $d(k)(01)$ 、 $d(k)(11)$ 、 $d(k)(21)$ 及び $d(k)(31)$ からなる

第2の列ベクトルが次に与えられ、4個の要素 $d(k)(02)$ 、 $d(k)(12)$ 、 $d(k)(22)$ 及び $d(k)(32)$ からなる第3の列ベクトルが次に与えられ、4個の要素 $d(k)(03)$ 、 $d(k)(13)$ 、 $d(k)(23)$ 及び $d(k)(33)$ からなる第4の列ベクトルが次に与えられるものとする。

【0011】図2のデータ処理装置は、各々第1及び第2のデータ入出力ポートを有する $4 \times 4$ 個のメモリセル101を格子状に配置してなるメモリセルアレイ100を備えている。行番号を $p$ ( $p=0, 1, 2, 3$ )、列番号を $q$ ( $q=0, 1, 2, 3$ )とすると、個々のメモリセル101を $a(pq)$ で表すこととする。

【0012】図2において、 $RB0$ 、 $RB1$ 、 $RB2$ 及び $RB3$ は4本の行バスを、 $CB0$ 、 $CB1$ 、 $CB2$ 及び $CB3$ は4本の列バスをそれぞれ表している。行バス $RB0$ は、メモリセルアレイ100の第1行を構成する4個のメモリセル $a(00)$ 、 $a(01)$ 、 $a(02)$ 及び $a(03)$ の各々の第1のデータ入出力ポートに共通接続されている。行バス $RB1$ は、メモリセルアレイ100の第2行を構成する4個のメモリセル $a(10)$ 、 $a(11)$ 、 $a(12)$ 及び $a(13)$ の各々の第1のデータ入出力ポートに共通接続されている。行バス $RB2$ は、メモリセルアレイ100の第3行を構成する4個のメモリセル $a(20)$ 、 $a(21)$ 、 $a(22)$ 及び $a(23)$ の各々の第1のデータ入出力ポートに共通接続されている。行バス $RB3$ は、メモリセルアレイ100の第4行を構成する4個のメモリセル $a(30)$ 、 $a(31)$ 、 $a(32)$ 及び $a(33)$ の各々の第1のデータ入出力ポートに共通接続されている。列バス $CB0$ は、メモリセルアレイ100の第1列を構成する4個のメモリセル $a(00)$ 、 $a(10)$ 、 $a(20)$ 及び $a(30)$ の各々の第2のデータ入出力ポートに共通接続されている。列バス $CB1$ は、メモリセルアレイ100の第2列を構成する4個のメモリセル $a(01)$ 、 $a(11)$ 、 $a(21)$ 及び $a(31)$ の各々の第2のデータ入出力ポートに共通接続されている。列バス $CB2$ は、メモリセルアレイ100の第3列を構成する4個のメモリセル $a(02)$ 、 $a(12)$ 、 $a(22)$ 及び $a(32)$ の各々の第2のデータ入出力ポートに共通接続されている。列バス $CB3$ は、メモリセルアレイ100の第4列を構成する4個のメモリセル $a(03)$ 、 $a(13)$ 、 $a(23)$ 及び $a(33)$ の各々の第2のデータ入出力ポートに共通接続されている。

【0013】図2において、 $SR0$ 、 $SR1$ 、 $SR2$ 及び $SR3$ は各々メモリセルアレイ100のうちの対応する1行を選択するための行選択信号を、 $SC0$ 、 $SC1$ 、 $SC2$ 及び $SC3$ は各々メモリセルアレイ100のうちの対応する1列を選択するための列選択信号をそれぞれ表している。 $CLK$ はクロック信号、 $XCLK$ は反転クロック信号である。

【0014】図2のデータ処理装置は、入力セクタ110と、出力セクタ111とを更に備えている。入力セクタ110は、与えられた入力ベクトルDIを行バスRB0~RB3又は列バスCB0~CB3のいずれかへ供給するものである。出力セクタ111は、メモリセルアレイ100から行バスRB0~RB3上に読み出されたベクトル又は同メモリセルアレイ100から列バスCB0~CB3上に読み出されたベクトルのいずれかを出力ベクトルDOとして供給するものである。入力セクタ110及び出力セクタ111が行バスRB0~RB3と列バスCB0~CB3とのいずれを選択すべきかは、切り替え信号R/Cによって指定される。

【0015】図3は、図2中の1個のメモリセル101の詳細を示している。図3のメモリセル101は、第1のデータ入出力ポートIO1と、第1の選択入力端子SEL1と、第2のデータ入出力ポートIO2と、第2の選択入力端子SEL2とを有するものである。第1の選択入力端子SEL1にハイレベルの信号が供給された場合には、第1のデータ入出力ポートIO1が選択される。しかも、クロック信号(リード信号)CLKのハイレベルの期間に第1のデータ入出力ポートIO1からデータが読み出され、反転クロック信号(ライト信号)XCLKのハイレベルの期間に第1のデータ入出力ポートIO1へデータが書き込まれる。第2の選択入力端子SEL2にハイレベルの信号が供給された場合には、第2のデータ入出力ポートIO2が選択される。しかも、クロック信号(リード信号)CLKのハイレベルの期間に第2のデータ入出力ポートIO2からデータが読み出され、反転クロック信号(ライト信号)XCLKのハイレベルの期間に第2のデータ入出力ポートIO2へデータが書き込まれるようになっている。図3のメモリセルa(03)では、第1のデータ入出力ポートIO1が行バスRB0に、第2のデータ入出力ポートIO2が列バスCB3にそれぞれ接続され、第1の選択入力端子SEL1に列選択信号SC3が、第2の選択入力端子SEL2に行選択信号SR0がそれぞれ供給される。

【0016】図4は、図2のデータ処理装置の動作を制御するための制御回路の構成例を示している。図4において、120はインバータ、121は1/4分周器、122は4進カウンタ、123はデコーダである。インバータ120は、クロック信号CLKから反転クロック信号XCLKを生成するものである。1/4分周器121は、クロック信号CLKの周波数の4分の1の周波数を有する切り替え信号R/Cを生成する。生成された切り替え信号R/Cは、前記入力セクタ110及び出力セクタ111へ供給されるだけでなく、デコーダ123にも供給される。4進カウンタ122は、クロック信号CLKのパルスを計数し、4進カウント値CT4、すなわち0、1、2又は3をデコーダ123へ供給する。デコーダ123は、切り替え信号R/Cがハイレベルであ

る場合には、4進カウント値CT4が0ならばハイレベルの列選択信号SC0を、4進カウント値CT4が1ならばハイレベルの列選択信号SC1を、4進カウント値CT4が2ならばハイレベルの列選択信号SC2を、4進カウント値CT4が3ならばハイレベルの列選択信号SC3をそれぞれ供給する。また、デコーダ123は、切り替え信号R/Cがローレベルである場合には、4進カウント値CT4が0ならばハイレベルの行選択信号SR0を、4進カウント値CT4が1ならばハイレベルの行選択信号SR1を、4進カウント値CT4が2ならばハイレベルの行選択信号SR2を、4進カウント値CT4が3ならばハイレベルの行選択信号SR3をそれぞれ供給するようになっている。

【0017】図5及び図6は、図2のデータ処理装置の動作を示している。図5に示すサイクルT1からサイクルT4までの4サイクルの間、4本の行バスRB0~RB3を使って、各サイクルの後半で入力行列D(k)の各列ベクトルがメモリセルアレイ100の1列毎に書き込まれる。つまり、サイクルT4ではメモリセルアレイ100が入力行列D(k)の全ての要素で満たされる。そして、図6に示すサイクルT5からサイクルT8までの4サイクルの間、4本の列バスCB0~CB3を使って、各サイクルの前半ではメモリセルアレイ100の各行が読み出され、かつ各サイクルの後半では次の入力行列D(k+1)の各列ベクトルが読み出しと同じ行に書き込まれる。サイクルT5からサイクルT8までの各サイクルで読み出されたベクトルすなわち出力ベクトルDOは、各々入力行列D(k)の行ベクトルである。したがって、ここに入力行列D(k)の転置行列が得られることになる。なお、図5によれば、サイクルT1からサイクルT4までの4サイクルの間、4本の行バスRB0~RB3を使って、各サイクルの前半ではメモリセルアレイ100の各列が読み出され、かつ各サイクルの後半では入力行列D(k)の各列ベクトルが読み出しと同じ列に書き込まれる。サイクルT1からサイクルT4までの4サイクルをかけて読み出された4個のベクトルは、入力行列D(k)の前の入力行列D(k-1)の転置行列を構成するものである。

【0018】以上のとおり、図2のデータ処理装置によれば、順次与えられた複数の4×4入力行列から各々の転置行列を求めるために、メモリセルアレイ100のうちあるサイクルの前半で読み出した行又は列と同じ行又は列に該サイクルの後半で入力行列の1個の列ベクトルを書き込む動作を繰り返し、かつ4サイクル毎に行バスRB0~RB3と列バスCB0~CB3とを使い分けることとしたので、4サイクルに1個の割合で転置行列を得ることができる。

【0019】図7は、図1の4×4行列D(k)からその転置行列を求めるための本発明に係るデータ処理装置の他の構成例を示している。図7のデータ処理装置に

10

20

30

40

50

も、行列D.(k)の列ベクトルが順次入力ベクトルとして与えられるものとする。

【0020】図7のデータ処理装置は、各々第1及び第2のデータ入力ポートと第1及び第2のデータ出力ポートとを有する4×4個のメモリセル201を格子状に配置してなるメモリセルアレイ200を備えている。行番号をp(p=0, 1, 2, 3)、列番号をq(q=0, 1, 2, 3)とすると、個々のメモリセル201をa(pq)で表すこととする。

【0021】図7において、IB0、IB1、IB2及びIB3は4本の入力バスを、OB0、OB1、OB2及びOB3は4本の出力バスをそれぞれ表している。入力ベクトルDIは入力バスIB0～IB3に与えられ、出力ベクトルDOは出力バスOB0～OB3から得られる。入力バスIB0は、メモリセルアレイ200の第1行を構成する4個のメモリセルa(00)、a(01)、a(02)及びa(03)の各々の第1のデータ入力ポートと、メモリセルアレイ200の第1列を構成する4個のメモリセルa(00)、a(10)、a(20)及びa(30)の各々の第2のデータ入力ポートとに共通接続されている。入力バスIB1は、メモリセルアレイ200の第2行を構成する4個のメモリセルa(10)、a(11)、a(12)及びa(13)の各々の第1のデータ入力ポートと、メモリセルアレイ200の第2列を構成する4個のメモリセルa(01)、a(11)、a(21)及びa(31)の各々の第2のデータ入力ポートとに共通接続されている。入力バスIB2は、メモリセルアレイ200の第3行を構成する4個のメモリセルa(20)、a(21)、a(22)及びa(23)の各々の第1のデータ入力ポートと、メモリセルアレイ200の第3列を構成する4個のメモリセルa(02)、a(12)、a(22)及びa(32)の各々の第2のデータ入力ポートとに共通接続されている。入力バスIB3は、メモリセルアレイ200の第4行を構成する4個のメモリセルa(30)、a(31)、a(32)及びa(33)の各々の第1のデータ入力ポートと、メモリセルアレイ200の第4列を構成する4個のメモリセルa(03)、a(13)、a(23)及びa(33)の各々の第2のデータ入力ポートとに共通接続されている。出力バスOB0は、メモリセルアレイ200の第1行を構成する4個のメモリセルa(00)、a(01)、a(02)及びa(03)の各々の第1のデータ出力ポートと、メモリセルアレイ200の第1列を構成する4個のメモリセルa(00)、a(10)、a(20)及びa(30)の各々の第2のデータ出力ポートとに共通接続されている。出力バスOB1は、メモリセルアレイ200の第2行を構成する4個のメモリセルa(10)、a(11)、a(12)及びa(13)の各々の第1のデータ出力ポートと、メモリセルアレイ200の第2列を構成する4個のメモリセル

a(01)、a(11)、a(21)及びa(31)の各々の第2のデータ出力ポートとに共通接続されている。出力バスOB2は、メモリセルアレイ200の第3行を構成する4個のメモリセルa(20)、a(21)、a(22)及びa(23)の各々の第1のデータ出力ポートと、メモリセルアレイ200の第3列を構成する4個のメモリセルa(02)、a(12)、a(22)及びa(32)の各々の第2のデータ出力ポートとに共通接続されている。出力バスOB3は、メモリセルアレイ200の第4行を構成する4個のメモリセルa(30)、a(31)、a(32)及びa(33)の各々の第1のデータ出力ポートと、メモリセルアレイ200の第4列を構成する4個のメモリセルa(03)、a(13)、a(23)及びa(33)の各々の第2のデータ出力ポートとに共通接続されている。

【0022】図7において、RR0、RR1、RR2及びRR3は各々メモリセルアレイ200のうちの対応する1行の読み出しを制御するための行読み出し制御信号を、WR0、WR1、WR2及びWR3は各々メモリセルアレイ200のうちの対応する1行の書き込みを制御するための行書き込み制御信号を、RC0、RC1、RC2及びRC3は各々メモリセルアレイ200のうちの対応する1列の読み出しを制御するための列読み出し制御信号を、WC0、WC1、WC2及びWC3は各々メモリセルアレイ200のうちの対応する1列の書き込みを制御するための列書き込み制御信号をそれぞれ表している。

【0023】図8は、図7中の1個のメモリセル201の詳細を示している。図8のメモリセル201は、第1のデータ入力ポートIN1と、該ポートIN1へのデータの書き込みを制御するための第1の書き込み制御端子WT1と、第1のデータ出力ポートOUT1と、該ポートOUT1からのデータの読み出しを制御するための第1の読み出し制御端子RD1と、第2のデータ入力ポートIN2と、該ポートIN2へのデータの書き込みを制御するための第2の書き込み制御端子WT2と、第2のデータ出力ポートOUT2と、該ポートOUT2からのデータの読み出しを制御するための第2の読み出し制御端子RD2とを有するものである。図8のメモリセルa(03)では、第1のデータ入力ポートIN1が入力バスIB0に、第1のデータ出力ポートOUT1が出力バスOB0に、第2のデータ入力ポートIN2が入力バスIB3に、第2のデータ出力ポートOUT2が出力バスOB3にそれぞれ接続され、第1の読み出し制御端子RD1に列読み出し制御信号RC3が、第1の書き込み制御端子WT1に列書き込み制御信号WC3が、第2の読み出し制御端子RD2に行読み出し制御信号RR0が、第2の書き込み制御端子WT2に行書き込み制御信号WR0がそれぞれ供給される。

【0024】図9は、図7のデータ処理装置の動作を制

御するための制御回路の構成例を示している。図9において、221は1/5分周器、222は5進カウンタ、223は書き込み用デコーダ、224は読み出し用デコーダである。1/5分周器221は、クロック信号CLKの周波数の5分の1の周波数を有する切り替え信号R/Cを生成する。生成された切り替え信号R/Cは、両デコーダ223、224に供給される。5進カウンタ222は、クロック信号CLKのパルスを計数し、5進カウント値CT5、すなわち0、1、2、3又は4を両デコーダ223、224へ供給する。書き込み用デコーダ223は、切り替え信号R/Cがハイレベルである場合には、5進カウント値CT5が0ならば信号を供給せず、5進カウント値CT5が1ならばハイレベルの列書き込み制御信号WC0を、5進カウント値CT5が2ならばハイレベルの列書き込み制御信号WC1を、5進カウント値CT5が3ならばハイレベルの列書き込み制御信号WC2を、5進カウント値CT5が4ならばハイレベルの列書き込み制御信号WC3をそれぞれ供給する。また、書き込み用デコーダ223は、切り替え信号R/Cがローレベルである場合には、5進カウント値CT5が0ならば信号を供給せず、5進カウント値CT5が1ならばハイレベルの行書き込み制御信号WR0を、5進カウント値CT5が2ならばハイレベルの行書き込み制御信号WR1を、5進カウント値CT5が3ならばハイレベルの行書き込み制御信号WR2を、5進カウント値CT5が4ならばハイレベルの行書き込み制御信号WR3をそれぞれ供給するようになっている。読み出し用デコーダ224は、切り替え信号R/Cがハイレベルである場合には、5進カウント値CT5が0ならばハイレベルの列読み出し制御信号RC0を、5進カウント値CT5が1ならばハイレベルの列読み出し制御信号RC1を、5進カウント値CT5が2ならばハイレベルの列読み出し制御信号RC2を、5進カウント値CT5が3ならばハイレベルの列読み出し制御信号RC3をそれぞれ供給し、5進カウント値CT5が4ならば信号を供給しない。また、読み出し用デコーダ224は、切り替え信号R/Cがローレベルである場合には、5進カウント値CT5が0ならばハイレベルの行読み出し制御信号RR0を、5進カウント値CT5が1ならばハイレベルの行読み出し制御信号RR1を、5進カウント値CT5が2ならばハイレベルの行読み出し制御信号RR2を、5進カウント値CT5が3ならばハイレベルの行読み出し制御信号RR3をそれぞれ供給し、5進カウント値CT5が4ならば信号を供給しないようになっている。

【0025】図10及び図11は、図7のデータ処理装置の動作を示している。図10に示すサイクルt2からサイクルt5までの各サイクルでは、4本の入力バスIB0~IB3を使って、入力行列D(k)の各列ベクトルがメモリセルアレイ200の1列毎に書き込まれる。つまり、サイクルt5ではメモリセルアレイ200が入

力行列D(k)の全ての要素で満たされる。そして、図11に示すサイクルt6からサイクルt10までの5サイクルの間、あるサイクルでは4本の出力バスOB0~OB3を使ってメモリセルアレイ200の1行を読み出し、次のサイクルでは4本の入力バスIB0~IB3を使って次の入力行列D(k+1)の1個の列ベクトルを読み出しと同じ行に書き込むという動作が繰り返される。サイクルt6からサイクルt9までの各サイクルで読み出されたベクトルすなわち出力ベクトルDOは、各々入力行列D(k)の行ベクトルである。したがって、ここに入力行列D(k)の転置行列が得られたことになる。なお、図10によれば、サイクルt1からサイクルt5までの5サイクルの間、あるサイクルでは4本の出力バスOB0~OB3を使ってメモリセルアレイ200の1列を読み出し、次のサイクルでは4本の入力バスIB0~IB3を使って入力行列D(k)の1個の列ベクトルを読み出しと同じ列に書き込むという動作が繰り返される。サイクルt1からサイクルt4までの4サイクルをかけて読み出された4個のベクトルは、入力行列D(k)の前の入力行列D(k-1)の転置行列を構成するものである。

【0026】以上のとおり、図7のデータ処理装置によれば、順次与えられた複数の4×4入力行列から各々の転置行列を求めるために、メモリセルアレイ200のうちあるサイクルで読み出した行又は列と同じ行又は列に次のサイクルで入力行列の1個の列ベクトルを書き込みながら、後者のサイクルで同メモリセルアレイ200の次の行又は列を読み出す動作を繰り返し、かつ5サイクル毎にメモリセルアレイ200の行と列の取り扱いを切り替えることとしたので、5サイクルに1個の割合で転置行列を得ることができる。

【0027】なお、行列D(k)の行ベクトルが入力ベクトルとして順次与えられる場合でも、図2又は図7の構成を有するデータ処理装置で転置行列を求めることができる。nを2以上の整数とすると、n×n行列の転置行列を求めるためのデータ処理装置へ上記各例を変形することは当業者にとって容易であろう。

【0028】

【発明の効果】以上説明してきたとおり、本発明に係る第1のデータ処理装置によれば、順次与えられた複数のn×n入力行列から各々の転置行列を求めるために、メモリセルアレイのうちあるサイクルの前半で読み出した行又は列と同じ行又は列に該サイクルの後半で入力行列の1個のベクトルを書き込む動作を繰り返し、かつnサイクル毎に行バスと列バスとを使い分けることとしたので、nサイクルに1個の割合で転置行列を得ことができ、従来に比べてデータ処理のスループットが向上する。

【0029】また、本発明に係る第2のデータ処理装置によれば、順次与えられた複数のn×n入力行列から各

10

20

30

40

50



々の転置行列を求めるために、メモリセルアレイのうちあるサイクルで読み出した行又は列と同じ行又は列に次のサイクルで入力行列の1個のベクトルを書き込みながら、後者のサイクルで同メモリセルアレイの次の行又は列を読み出す動作を繰り返し、かつn+1サイクル毎にメモリセルアレイの行と列の取り扱いを切り替えることとしたので、n+1サイクルに1個の割合で転置行列を得ることができ、データ処理のスループットが向上する。

【図面の簡単な説明】

【図1】転置の処理対象例である4×4行列を示す説明図である。

【図2】図1の4×4行列から転置行列を求めるための本発明に係るデータ処理装置の構成例を示すブロック図である。

【図3】図2中の1個のメモリセルの詳細を示すブロック図である。

【図4】図2のデータ処理装置の動作を制御するための制御回路の構成例を示すブロック図である。

【図5】図2のデータ処理装置の動作を示すタイミングチャート図である。

【図6】図5に続くタイミングチャート図である。

【図7】図1の4×4行列から転置行列を求めるための本発明に係るデータ処理装置の他の構成例を示すブロック図である。

【図8】図7中の1個のメモリセルの詳細を示すブロック図である。

【図9】図7のデータ処理装置の動作を制御するための制御回路の構成例を示すブロック図である。

【図10】図7のデータ処理装置の動作を示すタイミングチャート図である。

【図11】図10に続くタイミングチャート図である。

【符号の説明】

100 メモリセルアレイ

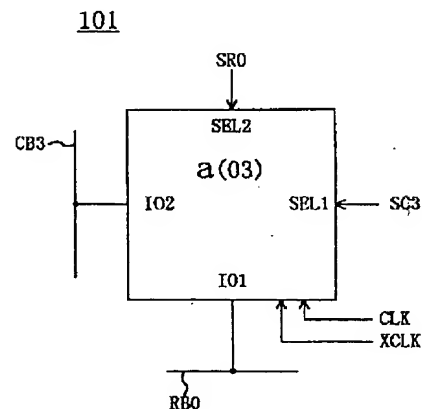
\*

\* 101 メモリセル  
 110 入力セクタ  
 111 出力セクタ  
 120 インバータ  
 121 1/4分周器  
 122 4進カウンタ  
 123 デコーダ  
 200 メモリセルアレイ  
 201 メモリセル  
 10 221 1/5分周器  
 222 5進カウンタ  
 223 書き込み用デコーダ  
 224 読み出し用デコーダ  
 CB0~CB3 列バス  
 CLK クロック信号  
 CT4 4進カウント値  
 CT5 5進カウント値  
 DI 入力ベクトル  
 DO 出力ベクトル  
 20 IB0~IB3 入力バス  
 IN1, IN2 第1及び第2のデータ入力ポート  
 IO1, IO2 第1及び第2のデータ入出力ポート  
 OB0~OB3 出力バス  
 OUT1, OUT2 第1及び第2のデータ出力ポート  
 RB0~RB3 行バス  
 R/C 切り替え信号  
 RC0~RC3 列読み出し制御信号  
 RR0~RR3 行読み出し制御信号  
 SC0~SC3 列選択信号  
 SR0~SR3 行選択信号  
 WC0~WC3 列書き込み制御信号  
 WR0~WR3 行書き込み制御信号  
 XCLK 反転クロック信号

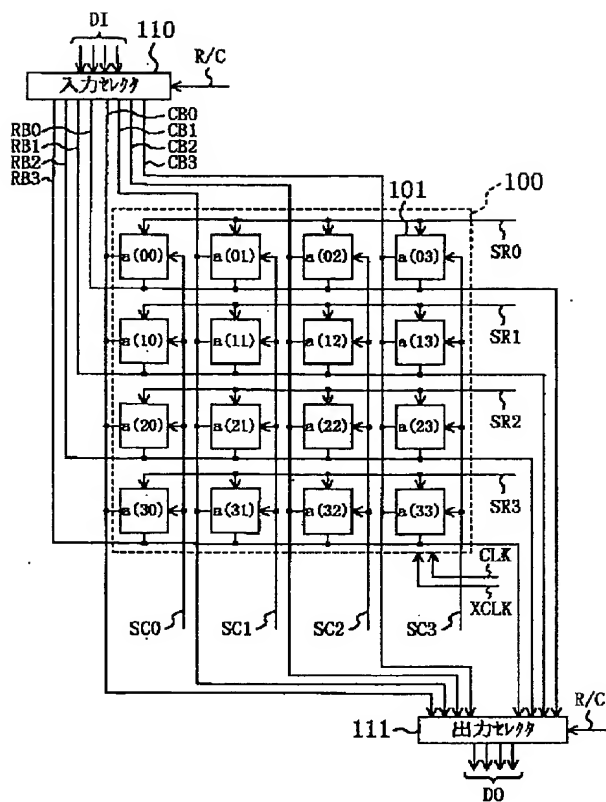
【図1】

$$D(k) = \begin{pmatrix} d(k)(00) & d(k)(01) & d(k)(02) & d(k)(03) \\ d(k)(10) & d(k)(11) & d(k)(12) & d(k)(13) \\ d(k)(20) & d(k)(21) & d(k)(22) & d(k)(23) \\ d(k)(30) & d(k)(31) & d(k)(32) & d(k)(33) \end{pmatrix}$$

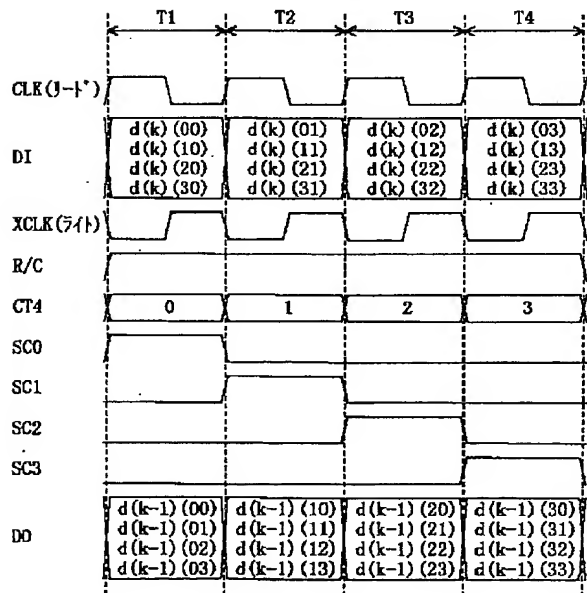
【図3】



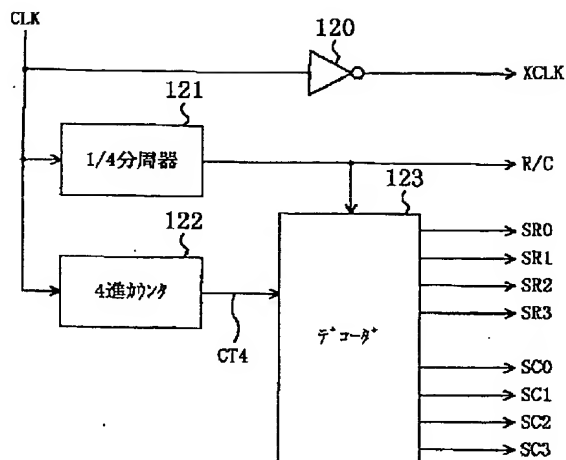
【図2】



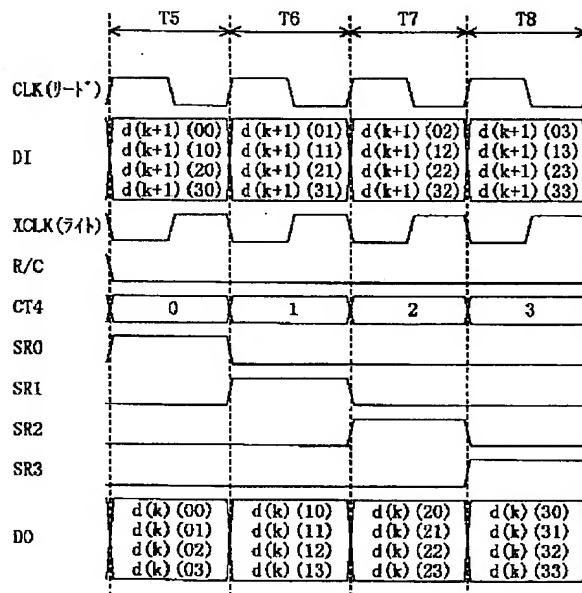
【図5】



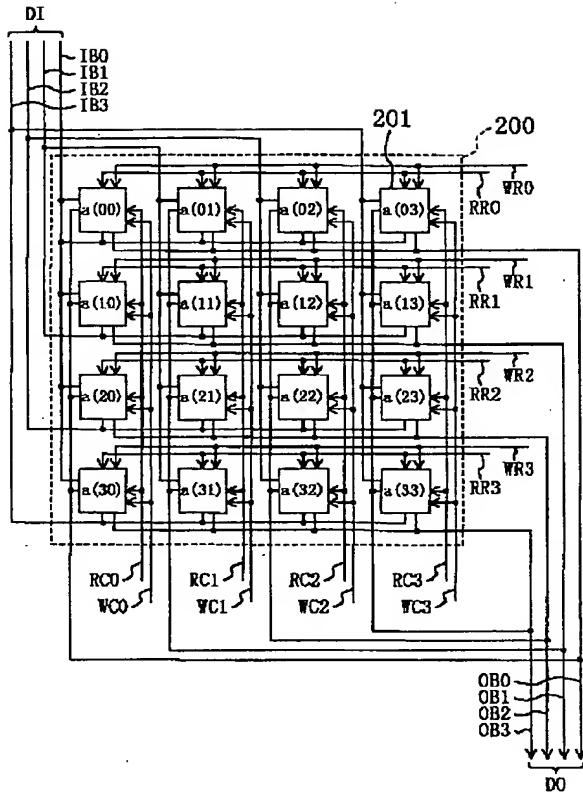
【図4】



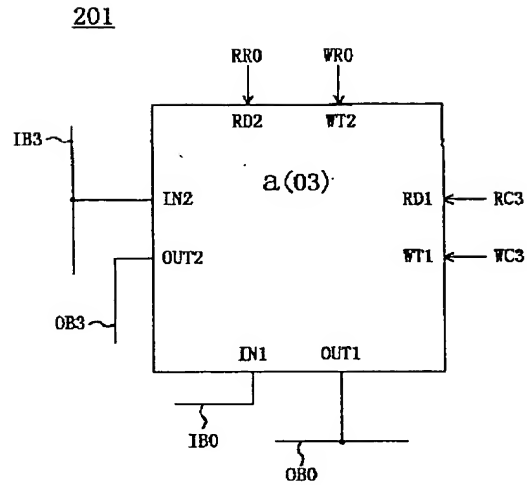
【図6】



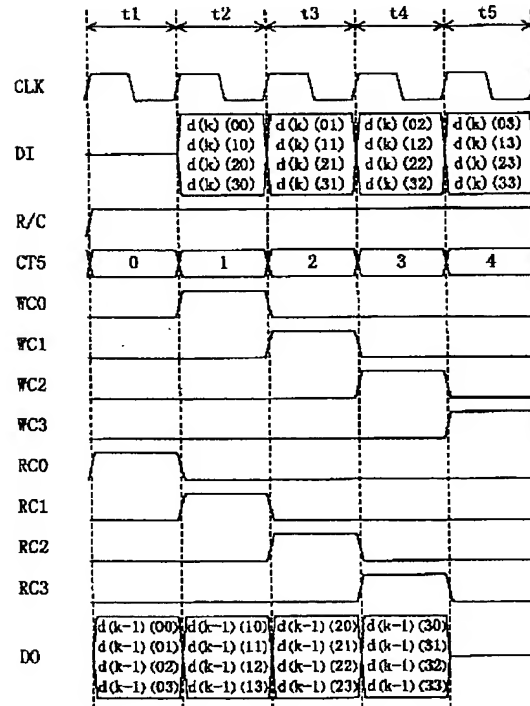
【図7】



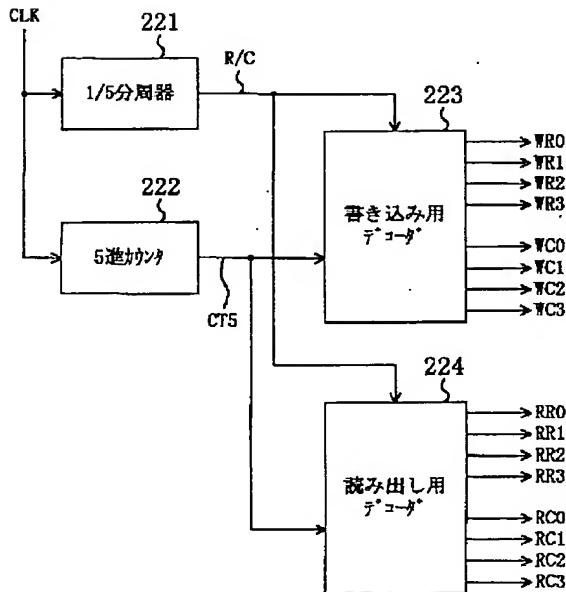
【図8】



【図10】



【図9】



【図11】

